
Elektrotehnički fakultet u Beogradu
Katedra za računarsku tehniku i informatiku

Predmet: Multiprocesorski sistemi
(13E114MUPS, SI4MPS, IR4MPS, MS1MPS)

Nastavnik: dr Milo Tomašević, red. prof.

Asistent: dipl. ing. Marko Mišić

Ispitni rok: Septembar 2015.

Datum: 27.08.2015.

Kandidat * : _____

Broj Indeksa * : _____

*Ispit traje 180 minuta, prvih sat vremena nije dozvoljeno napuštanje ispita.
Upotreba literature nije dozvoljena.*

<i>Zadatak 1</i>	_____ /5	<i>Zadatak 6</i>	_____ /5
<i>Zadatak 2</i>	_____ /10	<i>Zadatak 7</i>	_____ /15
<i>Zadatak 3</i>	_____ /15	<i>Zadatak 8</i>	_____ /10
<i>Zadatak 4</i>	_____ /10	<i>Zadatak 9</i>	_____ /10
<i>Zadatak 5</i>	_____ /10	<i>Zadatak 10</i>	_____ /10

Ukupno na ispitu: _____ /100

Napomena: Ukoliko u zadatku nešto nije dovoljno precizno definisano, student treba da uvede razumnu pretpostavku, da je uokviri (da bi se lakše prepoznala prilikom ocenjivanja) i da nastavi da izgrađuje preostali deo svog odgovora na temeljima uvedene pretpostavke. Kod pitanja koja imaju ponuđene odgovore treba **samo zaokružiti** jedan odgovor. Na ostala pitanja odgovarati **čitko, kratko i precizno**.

* popunjava student.

1. [5] Ukratko diskutovati trendove osnovnih indikatora performanse u računarskim sistemima.

2. [10] Objasniti paralelni programski model *prenosa poruka*. Diskutovati njegove prednosti i nedostatke.

3. [15] Kod protokola *Dragon* precizno:
- a) definisati stanja i transakcije na magistrali,
 - b) nacrtati dijagram stanja i detaljno opisati sve akcije.

4. [10] Objasniti implikacije protokola za koherenciju na pisanje paralelnog koda.

5. [10] Objasniti kako izgleda katalog kod $Dir_i B$ protokola. Precizno objasniti odvijanje promašaja pri čitanju i pogotka pri upisu. Diskutovati performanse.

6. [5] Precizno objasniti šta se sve dešava u dvonivoskoj keš hijerarhiji (L1+L2) sa invalidacionom strategijom kada se desi *write miss* u L1?

7. [15] Korišćenjem rutina iz MPI biblioteke, paralelizovati deo koda u prilogu. Obratiti pažnju na efikasnost paralelizacije. Smatrati da je MPI svet već inicijalizovan, a neophodna memorija već alocirana. Proces sa rangom 0 treba da rasporedi ulazni niz podjednako svim procesima, učestvuje u obradi i sakupi konačan rezultat izvršavanja. Smatrati da je dužina niza deljiva brojem procesa.

```
int *in, int *out, int *t, int n, int iter, int c1, int c2;
...
for (int i = 0; i < iter; i++) {
    for (int j = 0; j < n; j++) {
        int left = j > 0 ? j - 1 : n - 1;
        int right = j < n - 1 ? j + 1 : 0;
        out[j] = c2 * (in[left] + in[right]) + c1 * in[j];
    }
    t = in; in = out; out = t;
}
```

Rešenje:

8. [10] U čemu je razlika između `single` i `master` OpenMP direktiva? Na primeru koda u prilogu, objasniti i naznačiti kako bi se primenila jedna, a kako druga direktiva da bi se funkcija `init()` izvršila od strane samo jedne niti uz korektno izvršavanje koda.

Master direktiva:	Single direktiva:
<pre>#pragma omp parallel { init(a); #pragma omp for for(i = 0; i < n; i++) { b[i] = c1 * a[i] + c2; } }</pre>	<pre>#pragma omp parallel { init(a); #pragma omp for for(i = 0; i < n; i++) { b[i] = c1 * a[i] + c2; } }</pre>

9. [10] Na koji način je organizovana globalna (operativna) memorija grafičkog procesora da bi se podržao paralelizam velikog broja niti? Navesti primer jednog poželjnog obrasca pristupa memoriji.

10. [10] Dat je multiprocesorski sistem sa 4 identična procesora, koji koristi *MOESI* protokol za održavanje koherencije keš memorije. Svaka keš memorija ima po 2 ulaza, koji su veličine jedne reči. Preslikavanje je **direktno**. Početne vrednosti podataka su 0. Svaki upis uvećava vrednost izmenjenog podatka za 1. Na početku su sve keš memorije prazne. Data je sledeća sekvenca pristupa memoriji:

1. P0,R,A1	3. P1,W,A1	5. P0,W,A0	7. P0,W,A2
2. P1,R,A1	4. P2,R,A1	6. P2,R,A0	8. P0,R,A1

Napisati stanja koherencije u svim procesorima i stanje memorije posle svake promene i skicirati opisani sistem u trenutku 8. [8 poena]

Da li procesori pristupaju memoriji i kada? Za svaki pristup navesti razlog. [2 poena]

Trenutak 1												Memorija	
P0			P1			P2			P3			A0	

Pristupi memoriji:

Trenutak 2												Memorija	
P0			P1			P2			P3			A0	

Pristupi memoriji:

Trenutak 3												Memorija	
P0			P1			P2			P3			A0	

Pristupi memoriji:

Trenutak 4												Memorija	
P0			P1			P2			P3			A0	

Pristupi memoriji:

Trenutak 5

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 6

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 7

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 8

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:
